

www.cadence.com.cn

完整的EDA解决方案



About us...

公司概况

Cadence 是全球电子设计自动化 (EDA) 领先企业, 从事软件与硬件设计工具、芯片知识产权与设计服务, 目前正致力于 EDA 产业的转型。Cadence 把此次转型构想命名为 EDA360, 因为它将包含设计过程中的所有方面, 并关注最终产品的可盈利性。这种应用驱动型方法, 能在创建、集成与优化电子设计方面帮助我们的客户以更低的成本和更高的质量完成硅芯片、片上系统设备、以及完整的系统实现。Cadence Design System, Inc. 公司成立于 1988 年, 总部位于美国加州圣荷塞, 其设计中心、研发中心和销售部门分布于世界各地。

CADENCE 中国

1992 年 Cadence 公司进入中国大陆市场, 迄今已拥有大量的集成电路 (IC) 及系统设计客户群体。在过去的二十年里, Cadence 公司在中国不断发展壮大, 建立了北京、上海、深圳分公司以及北京研发中心、上海研发中心, 并于 2008 年将亚太总部设立在上海, Cadence 中国现拥有员工 400 余人。

北京研发中心和上海研发中心主要承担美国公司总部 EDA 软件研发任务, 力争提供给用户更加完美的设计工具和全流程服务。Cadence 在中国拥有强大的技术支持团队, 提供从系统软硬件仿真验证、数字前端和后端及低功耗设计、数模混合 RF 前端仿真与 DFM 以及后端物理验证、SiP 封装以及 PCB 设计等技术支持。我们的销售方案中还包括提供专业设计服务, VCAD 团队为用户提供高质量、有效的设计和外包服务。

把世界顶尖的产品技术和服 务融入中国, 成为中国电子行业最亲密合作伙伴, 和中国电子高科技产业共同腾飞是 Cadence 在中国的坚定信念。

市场与趋势

Cadence 服务于产值达 2 万亿美元的全球电子市场, 其中包括产值超过 3000 亿美元的半导体市场。我们的主要垂直市场领域包括: 有线与无线通讯; 工业、医疗与汽车电子; 计算机与消费电子, 比如多媒体和个人娱乐设备。这些领域占全球电子设备营收和半导体营收的 90% 以上。我们的主要横向市场领域是系统公司、半导体公司和硅供应商 (ASIC 供应商、集成电路代工厂和 FPGA 公司)。作为这些领域里的 EDA 解决方案领先供应商, Cadence 对业界趋势和客户需求有着前所未有的认识。

两大主要趋势推动着电子设计: 不断提高的硅容量和越来越高的复杂性。虽然传统的生产方法正在达到基本物理极限, 随着新晶体管结构的开发, 不同封装中的单个硅片, 变成单独封装中层叠的晶片互联, 硅容量也将会继续提高。

同时, 由于各设计领域的融合, 以及消费者对高性能产品的需要, 设计正变得更复杂。现代电子设备支持高速通信、大数据量处理与芯片中快速的交互作用, 这需要混合信号(模拟/数字)、低功耗与高级节点设计技术。在很多情况下, 产品的硬件功能并非主要差异所在。当今产品主要是在应用方面进行竞争, 也就是在硬件上运行的软件, 不管是手机上运行的游戏还是网络路由器上运作的协议。

为获得成功, 新设计必须在系统层面以及片上系统 (SoC) 和硅层面进行优化。Cadence 是唯一一家融合了业界构想、有着全面的产品阵容以及高端技术优势, 能够全面解决这些问题的公司。

系统验证及硬件仿真

Functional Verification 功能验证

Incisive Enterprise Simulator	1
Incisive Enterprise Verifier	2
Incisive Enterprise Manager	2
VIP catalog	3

System Design & Verification/ Hardware Emulation 系统设计和验证/硬件仿真

Palladium XP Verification Computing Platform	4
Palladium Dynamic Power Analysis	5
Rapid prototyping Platform	6
C-to-Silicon Compiler	7
Virtual System Platform	8
相关产品简介	8

数字设计

Front-End Design/ Logic Design 数字芯片前端设计/逻辑设计

Cadence Chip Planning System	9
Encounter RTL Compiler	10
Encounter RTL Compiler with Physical	11
Encounter Conformal Constraint Designer	11
Encounter Conformal ECO Designer	12
Encounter Conformal Equivalence Checker	13
Encounter Conformal Low Power	13
Encounter DFT Architect	14

Digital Implementation 数字实现

Encounter Digital Implementation System	15
Encounter Power System	16
Encounter Timing System	17
Clock Concurrent Optimization	18
相关产品简介	18

Contents

目录



定制与模拟设计

Virtuoso Front- End/ Circuit Design Simulation

Virtuoso 前端/电路设计仿真

Virtuoso Analog Design Environment	19
Virtuoso Accelerated Parallel Simulator	19
RF Design Methodology Kit	20
Virtuoso AMS Designer	20

Virtuoso Layout & Verification

Virtuoso 设计版图和验证

Virtuoso Layout Suite	21
Cadence Space-Based Router	21
Virtuoso Chip Assembly Router	22
Virtuoso Digital Implementation	22

Design Sign Off 设计签收

Cadence Physical Verification System	23
Virtuoso DFM	23
Cadence Litho Electrical Analyzer	24
Cadence Litho Physical Analyzer	25
Cadence CMP Predictor	25
相关产品简介	26

封装与PCB设计

PCB设计

Allegro FPGA System Planner	27
Allegro PCB Designer	28
Allegro PCB SI	28
Allegro Design Authoring	29

SiP系统封装

Allegro Package Designer	30
Cadence 3D Design Viewer	30
Cadence SiP Co-Design	31
Cadence SiP Digital SI	32
Cadence SiP Digital Architect	33
相关产品简介	34

Functional Verification 功能验证

Incisive Enterprise Simulator

多语言仿真促进测试平台自动化、低功耗、指标驱动型验证，以及混合信号验证

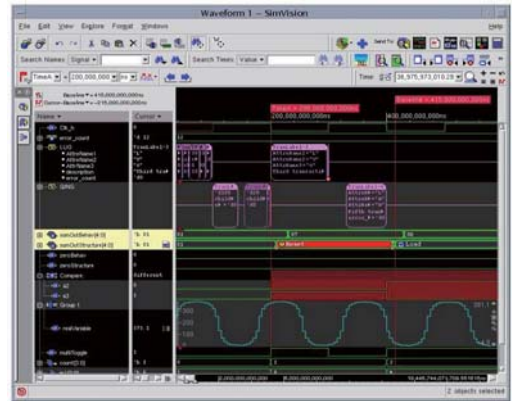
Incisive Enterprise Simulator (IES) 提供了最全面的IEEE语言支持，有着独特的功能，支持加快芯片实现所需的意图、抽象与收敛。当IES与Conformal LP密切配合使用时，它是低功耗验证的核心引擎；与Virtuoso仿真器配合使用时，又是混合信号验证的数字引擎；用于仿真加速与Xtreme和Palladium配合使用时又是测试平台引擎；当其TLM验证解决方案配合使用又可以是RTL引擎。

概述

当数字仿真在1980年代被普遍应用时，其流程非常简单：RTL级、然后是门级最后是实现。之后的几年间，仿真逐渐成熟应用于验证，并成为现代复杂FPGA、ASIC和定制设计中提高效率、提供可预测性以及保障质量的关键手段。随着此技术的成熟，也出现了新方法用于生成指标，测量验证计划的进度，以新的数字和模拟仿真抽象将验证移到流程的初期阶段，从而出现了加快收敛的新方法。IES继续引领验证过程中的这些变化，加入了新的技术，支持新出现的需求，让IES成为业界最经常使用的引擎。

今天Cadence® IES促进验证平台自动化、重用和分析，从系统层面到RTL级再到门级对设计进行验证。它支持Incisive Enterprise Manager采取指标驱动法。其本地编译架构加快了事务级、行为级、低功耗、RTL级和门级模型的同时仿真，消除了其他仿真方法中常见的性能下降。

IES还支持所有IEEE标准语言，Open Verification Methodology (OVM)、新兴的Accellera通用验证方法学(UVM)、以及e Reuse Methodology (eRM)，所以工程师可以迅速而方便地为其引入可靠的验证流程。验证工程师可以拓展Enterprise Simulator的功能，加入Incisive Software Extensions，它提供了测试平台与被测设备 (DUT)之间高吞吐量的信道，并促进内置软件的自动指标驱动型验证，把它当作DUT的另外一部分一样。



特性/优势

- 促进测试平台自动化、分析与重用以提高效率
- 确保证据质量，跟踪业界标准的覆盖指标，包括功能、事务、低功耗和HDL代码，加上自动数据与断言检查
- 用自动反标注与可执行的验证计划推动与指引验证
- 在多语言验证环境之上创造可重用的序列与多信道虚拟序列
- 配置现有的统一验证元件 (UVC) 或迅速构建全新UVC
- 促进高级调试，使用SimVision用于事务级模型、SystemVerilog/e级库、瞬时混合信号、低功耗与传统波形图分析
- 支持e、Open Verification Library (OVL)、OVM类库、新兴UVM类库、SystemC®、SystemC验证库、SystemVerilog、Verilog®、VHDL、PSL、SVA和CPF
- 为复合语言、混合信号与低功耗设计提供尽可能高的性能，涵盖多个抽象层，包括能够对RTL仿真在Palladium XP系列进入退出加速器/仿真器进行现场交换

Incisive Enterprise Verifier

综合形式分析与仿真引擎的双重效能

Cadence® Incisive® Enterprise Verifier (IEV) 允许设计团队与验证工程师更快地将设计做起来，在流程的初期阶段就进行错误搜寻，利用SVA与PSL在验证结束之前收集更多指标，揪出设计深处的错误，而这是单独仿真或形式验证法很容易错过的。

概述

IEV 紧密集成了形式分析和仿真引擎，由此带来双重效能。它包含 Incisive Formal Verifier和Incisive Enterprise Simulator的功能，并增加了新的引擎集成功能。简而言之，各种技术的长处被结合并混合为独特、共同强化的方法，提高分析的效率与灵活性，以及贡献大量的覆盖指标，进一步加快指标驱动的SoC与硅实现。通过多数用户的简易设置、自动操作，以及专业用户的精细控制，还有全新的断言调试功能，IEV提高了断言式验证的投资回报率。它也为整个企业间指标驱动的SoC与硅实现提供了支持，在验证计划、服务器集群上的回归操作、巩固形式与仿真指标以及多核心性能方面都实现提升。

特性/优势

- 收集更多指标加快验证闭合
- 加快设计建立时间
- 寻找单独形式验证或测试平台仿真漏掉的错误
- 在大型设计上使用形式辅助仿真
- 在测试平台可用之前执行快速集成
- 利用统一指标加快验证闭合
- 为了SoC和硅实现在Incisive仿真、仿真加速与硬件仿真平台使用同一断言



Incisive Enterprise Manager

自动进行验证管理包含扩展语言与仿真支持

Incisive Enterprise Manager(IEM)可实现分布、多级验证项目、验证计划收敛的自动化管理。通SystemVerilog和e功能覆盖，加上测试平台仿真支持，它可以提高效率与可预测性。

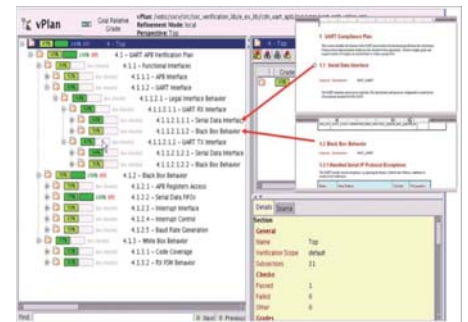
概述

Cadence® IEM加快验证规划执行，将模块、芯片、系统与项目级的耗时手动任务自动进行。通过SystemVerilog和e功能覆盖，它推动了高级覆盖式验证与调试技术迅速实现验证闭合。IEM自动开展仿真运行，分析数据、调试设计，并生成额外的验证方案，进一步提升覆盖率。

IEM为地理上比较分散的团队提供了额外的重要功能，整理模块与系统级仿真套件，管理数据量，并且使用高级分析引擎与汇报机制迅速做出决定。

特性/优势

- 提供高级验证团队规划与成功指标
- 包含SystemVerilog与e功能覆盖
- 提供高级覆盖漏洞分析与汇报
- 为IES增加特别支持
- 支持使用Incisive Specman®测试平台技术运行的其他仿真器



Cadence VIP 目录

业界最广的验证IP与存储器模型产品组合支持所有主要仿真器

Cadence VIP 目录为超过30种复杂协议以及超过1.5万种存储器设备提供支持。这种VIP与存储器模型可在Cadence Incisive Enterprise Simulator和Synopsys VCS® 与Mentor Graphics Questa®仿真器上运行。

概述

目前Cadence的产品延续其10年优良传统，有着高级、可靠的VIP，被用于检验数千种设计的数十种协议。Cadence存储器模型（过去又叫Denali MMAV存储器模型）一直被认为是存储器界面验证的“黄金标准”。

Cadence解决方案满足IP、SoC和系统级验证工程师和设计师的独特需要：

IP开发者受益于最新协议的支持，由各个VIP进行数百次自动协议检查，该VIP已经在多种设计实践中得到证明，绝对可靠。

SoC开发者可因其支持当今SoC的所有复杂标准协议与存储器界面而获益，这是一种通用的测试平台界面，涵盖整个VIP与存储器产品，以及创新的授权方式，降低了多协议验证的成本阻碍。

系统开发商受益于加速VIP，可释放Palladium XP 验证计算平台的实力，对软硬件集成进行检验，找到一条软件驱动验证之路，从程序员的角度进行系统验证，同时对驱动软件与SoC接口进行协同验证。

特性/优势

- 支持第三方仿真器
- 支持超过30种协议
- 率先上市，支持新兴标准，如AMBA4系列、PCI Express Gen3、SuperSpeed USB、Ethernet 40G/100G以及MIPI协议
- 超过15000种存储器设备设置，包括支持最新存储器类型，如DDR4 SDRAM、Flash ONFI 3.0、Flash PPM、Flash Toggle2NAND、GDDR5、LRDIMM 和Wide I/O SDRAM
- 通过CMS and PureSuite 解决方案进行协议遵从检查
- 为AMBA和OCP提供断言套件，并可由Incisive Formal Verifier 进行形式验证
- Accelerated VIP用于最广泛使用的复杂协议，支持大型SoC和软硬件集成的硬件加速
- 支持所有通用测试平台语言，包括SystemVerilog和e
- 支持Universal Verification Methodology (UVM)

Supported Interfaces	
Protocols	Memories
AMBA 4	DDR2
AMBA AHB	DDR3
AMBA AXI	DDR4
AMBA APB	DDR4 SDRAM
CAN	DDR NVM
Ethernet	EEPROM
HDMI	Flash ONFI 3.0
I2C	Flash PPM
JTAG	Flash
LIN	Toggle2NAND
MIPI CSI-2	GDDR3
MIPI DSI	GDDR4
MIPI M-PHY	GDDR5
MIPI	LBA NAND
SLIMbus	LPDDR2
MIPI UniPro	LRDIMM
MIPI DigRF	MMC 4.41
v4	One NAND
OCP	QDR SRA
PCI Express	SD/SDIO 2.0
PCI	SD/SDIO 3.0
PLB	SDRAM
SAS	SRAM
Serial ATA	SRAM cellular
(SATA)	Toggle NAND
Serial Rapid	Wide I/O
IO	SDRAM
USB (with	Plus other
OTG)	memory types
USB	
SuperSpeed	

System Design & Verification/ Hardware Emulation

系统设计和验证/硬件仿真

Cadence Palladium XP Verification Computing Platform

验证计算平台

单一环境中最高级的仿真加速与硬件仿真功能，加上软硬件协同验证以及对软硬IP的灵活支持。

概述

Cadence® (PXP) 是业界首个高性能、特殊功能的验证计算平台，集合了同类产品中最出色的仿真加速与硬件仿真功能。通过其热交换技术，PXP提供了前所未有的效率，便于用户在仿真、仿真加速和模拟环境之间随时转换而无需重新编译。同时因其高度灵活，无论本地设计团队还是企业客户都可以充满自信、无需更改地解决其系统级验证难题。

PXP验证计算平台结合了市场领先的技术 (Palladium硬件仿真与Incisive Xtreme加速)，两方面都是最出色的。它超越了传统硬件仿真技术，提供了灵活的最新使用模型，就像仿真一样，因而大大简化。通过集成Incisive Enterprise Manager，PXP支持指标驱动流程，可加快验证。Incisive Enterprise Manager可自动进行加速验证计算平台上的回归测试运行，并进行管理。工程师可以使用通用验证计划，并且从多种位置提取约束结果，将其添加到通用数据库进行签收分析。

PXP 还可以拓展到系统级功率分析与功率验证。PXP动态功率分析 (DPA) 选项提供了一种全新方法学用于功率预算，用户能够用“深度”软件循环迅速分辨SoC的峰值与平均功率，无需牺牲吞吐量。

为了用灵活的性能提高验证吞吐量，PXP 提供了混合的环境，将现实激励与目标或测试器，以及虚拟或事务级加速模型连接。Palladium XP能让多种模型连接起来，进行编译或物理连接。

它还可以重用抽象模型，如C/C++、事务级模型(TLMs)、行为RTL、RTL/门级网表、硅/FPGA/软件IP，与系统级接口。这种统一的使用模型和抽象支持，让用户能够灵活选择性能最高的IP，将硬件与软件集成，并大大提升验证吞吐能力。

特性/优势

高度灵活的系统有着无可匹敌的操作效率与用户灵活性

- 提供最高达4MHz的性能
- 允许从400万门到20亿门的灵活设置
- 同时最多支持512名用户
- 比起Palladium III功率利用效率提升44%

高级编译器与运行时能力

- 热交换功能提升运行时可预测性
- 与Incisive产品完美融合
- 内置Xccelerator Emulator (UXE) 编译器改进编译时间
- 为软硬件协同验证提供一个统一、高级的调试环境
- 支持SCE-MI与SystemVerilog DPI便于第三方模型/工具集成

独特的平台扩展

- 支持指标驱动的验证加速
- 支持业界标准的硬件设计与验证语言以及开放验证方法学
- 集成Encounter RTL Compiler功耗估算引擎可用于动态功耗分析与验证
- SystemC®到仿真的流程允许用户集成高级抽象模型到系统验证环境中
- 集成全面的SpeedBridge® 系列速度适配器与Cadence Verification IP产品组合



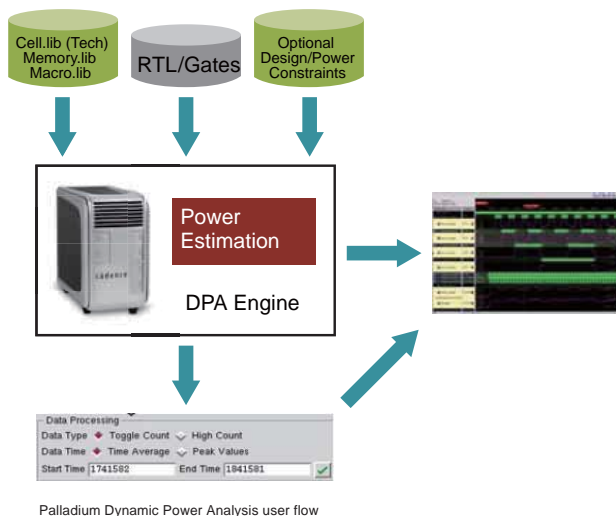
Cadence Palladium Dynamic Power Analysis

执行系统级动态功耗分析与功耗/性能权衡

Cadence® Incisive® Palladium®动态功耗分析(DPA)帮助系统级芯片(SoC)设计工程师智能识别、捕捉与分析功耗转换行为，用于峰值与平均功耗分析。

概述

Palladium 动态功耗分析可帮助工程师使用Palladium III进行硬件仿真的同时，也在系统级环境中分析软件。该解决方案能够运行多种设计，或实现方案——并确定其在真实使用环境中对功率耗散的影响——这对于在功耗预算与预计性能之间达成平衡至关重要。此外，该解决方案能够将必要的功耗活动记录在通用DPA功率数据库里，从而进行功耗计算。这种功能进一步帮助了验证资源的分享，而DPA是在线下计算功耗曲线。



特性/优势

- 支持RTL和门级功耗估算
- 帮助高性能系统级功耗估算，在长期运行中识别峰值与计算平均值
- 真实的在线硬件仿真环境让用户能够按照真实的运作条件估算功耗
- 详细分析帮助用户发现那里需要进行分析
- 可在RTL阶段进行IP关联性对比，找出结构问题，并进行软硬件权衡
- 降低封装成本，帮助避免代价高昂的重新投片
- 支持通用功耗格式(CPF)

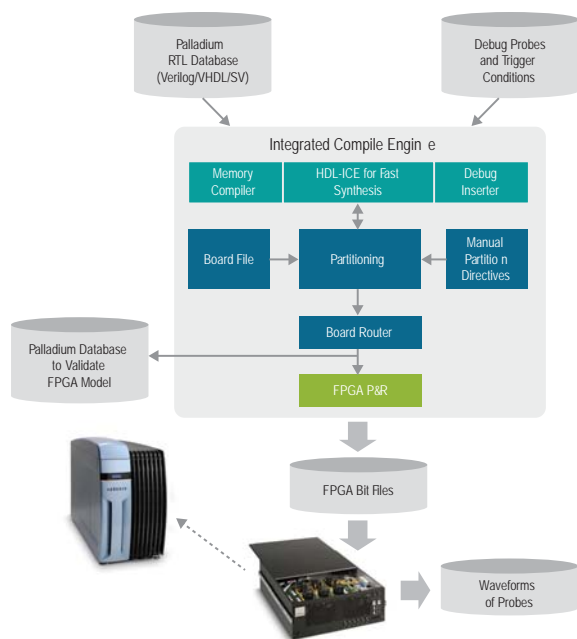
Rapid Prototyping Platform

一种开放、互联而灵活的FPGA式原型验证解决方案

Cadence快速原型平台可帮助早期、芯片设计之前的软件开发以及系统确认，使用一个完整的实现与调试软件流程。

概述

快速原型平台是Cadence系统开发套件的一部分，是一种高级的FPGA式原型解决方案，用于早期软件开发与高性能系统验证。它结合了高性能FPGA电路板与一个完整的实现和调试软件流程，提供了前所未有的设计实现速度与易用性。快速原型平台兼容Cadence验证计算平台(PXP)和SpeedBridge速度适配器，可以将现有的硬件仿真环境快速而平稳地转换到高性能快速原型。由于完全集成的实现与调试软件流程，工程师可以将原型建立时间从几个月减少到几个星期。



The Cadence Rapid Prototyping Platform delivers a comprehensive solution for early software development and high-performance system validation

特性/优势

- 实现最快的原型建立时间，可重用已有的Palladium环境，包括时钟定义和存储器建模
- 利用高级引脚多路技术自动实现多重FPGA的分割
- 提供最高的模型精确性支持复杂的ASIC类型时钟与存储器汇编
- 自动产生后期分割模型确认执行的准确性，并加快原型建立时间
- 保存波形图用于线下调试，确保卓越的调试功能，以及与Palladium系统的兼容性，用于互动分析
- 灵活性高，支持通用接口与连接器，可使用定制与现售子卡
- 兼容所有Cadence SpeedBridge 适配器
- 包含所有必要的硬件与软件元件，用于设计输入、合成、调试、多FPGA分割与FPGA布局与布线

C-to-Silicon Compiler

设计与验证的新一代高级综合工具

利用C-to-Silicon Compiler，工程师可以应用高级抽象层次将设计贯穿整个实现和验证流程，直到最后确认SoC满足产品的需求。

概述

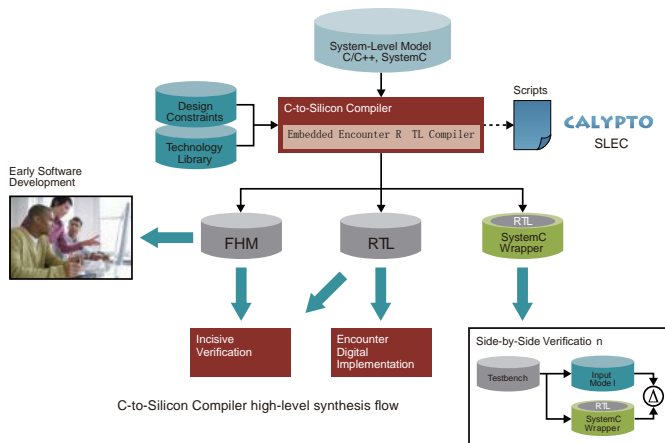
Cadence系统级设计解决方案的核心是Cadence® C-to-Silicon编译器，可以自动生成可综合的RTL，从C/C++/SystemC® 开始，所需花费的精力只有手动方法的10%。C-to-Silicon编译器是从头开始架构的，有四种独特的功能，为硬件架构和RTL设计师提供了革命性的优势：

Embedded logic synthesis (ELS) 可用于控制器和数据路径逻辑的并行优化，大大改进结果的质量。

Behavior-structure-timing (BST) 数据库可实现真正的增量式综合，以及更快的设计与验证周转时间。

Constraint-functionality separation (CFS)可用于多种应用和工艺技术的高效重用。

Fast hardware models (FHM) 可加快验证并实现尽早的软硬件协同开发。



特性/优势

- 接受范围广泛的C/C++/SystemC编码风格与结构，包括模版、类、用户定义的类型预计特定类型的指针
- 内置的Encounter® RTL Compiler 在高层次综合过程中提供了一致的精确时序与面积信息，针对所有类型的设计都可以达到质量匹敌与签收 sign off 的RTL
- BST数据库记录从C/C++/SystemC源文件一直到物理实现的整个设计过程数据，帮助将物理设计数据直接匹配到RTL以及C/C++/SystemC源码
- CFS保持功能、通信与设计约束全部独立，让设计师能够确保其源码的“标准”，而且只要改变通信/设计约束就可以重新定位新的应用
- SystemC中产生的FHM仿真速度是原未定时输入模型速度的80-90%，可用于快速验证与早期软硬件协同开发
- 互动图形用户界面提供了一个完整的环境用于综合、分析与调试，实现高层次综合过程的控制性与可见性

Virtual System Platform

一个开放、互联与灵活的虚拟原型解决方案

Cadence虚拟系统平台简化了虚拟原型的创建与支持，使用自动建模与更快的软硬件调试。

概述

作为Cadence系统开发套件的一部分，虚拟系统平台可用于在递交硬件设计之前进行预RTL软件设计、验证与系统分析。它可以自动进行创建虚拟原型、调试软件以及将虚拟原型部署到软件团队——使得软件开发提前几个月进行，预防原型递交的进度落后。虚拟系统平台可用于事务级模型 TLM 软硬件调试，可完全清晰把握，并支持混合TLM/RTL仿真与Incisive验证平台，以及与Cadence验证计算平台 Palladium XP 的协同仿真。

特性/优势

- 在RTL和FPGA原型之前数月开始软件开发
- 将创建首个可用虚拟样品的时间从几个星期减少到几天
- 提高硬件与软件开发团队的协作性
- 快速调试复杂的硬件与软件问题
- 便于连接到实现流程



其他相关产品简介：

Incisive Verification Kit

自动化和简化了可重复使用的先进验证技术的采用，提高效率和可预见性。使用交互式研讨会和集成的Incisive工具流程来学习掌握指标驱动验证方法学。

Palladium series

提供业界最具扩展性，最高吞吐量，多用户加速和仿真平台。使设计人员能够快速模拟系统级设计环境，早日进入硬件/软件协同验证，并在硅流片前几个月就进行芯片确认工作。

Cadence SpeedBridge Adapters

将全速设备接口直接与设计连接，并以仿真速度运行。支持在真实世界工作条件下的电路仿真。通过外部数据——激励和响应的真实性来确保仿真器中设计系统行为的正确性，从而降低产品的设计风险。

Incisive Software Extensions

通过指标为导向的技术来提供高效的，高质量的，可预测性优势，用于软/硬件协同验证，统一的软/硬件调试和嵌入式软件跟踪技术。充分利用和扩展了现有的Incisive验证环境，并支持软件运行在任何一种处理器上。

Front-End Design/ Logic Design 数字前端设计/逻辑设计

Cadence Chip Planning System

企业级IC规划、评估与IP复用

Chip Planning System能尽早精确地进行IC评估，对芯片尺寸、功耗、成本与上市时间进行权衡。

概述

IC设计过程中的架构规划阶段所做的决定会在很大程度上决定芯片最终的尺寸、功耗、性能与成本。Cadence® Chip Planning System帮助电子公司尽早考量并甄选各种架构模式与IP复用构件，从而获得最大利益。它提供了全面的环境，帮助用户规划IC设计，考虑内部与外部知识产权(IP)复用，并精确评估芯片潜在的关键技术与经济指标。

由于Cadence Chip Planning System直观而易用，用户不需要成为芯片设计专家也能获得专业结果。电子公司中的大多数部门都可以使用该系统，从传统IC设计师和架构师再到技术营销部门以及外勤人员，乃至采购与财务部门、计划与项目管理部门以及行政人员。

Chip Planning System包含一个全面的IP目录管理系统，创造了一个完整的统一的内网接口，加快全球性设计团队内部的协作与IP复用。该系统还完美融合到现有的企业系统中，包含商用或内部IP目录、产品生命周期管理PLM系统以及CAD环境。

它具有到EDA设计与实现技术的健全接口，确保用户能够实现从初步评估到最终出片的一致。Chip Planning System直接与Encounter Digital Implementation System 和其他实现方案对接，帮助用户推动下游整合。该系统支持全定制、并可调整可编程，在评估精确度与企业整合方面能做到最好。

特性/优势

- 精确评估芯片尺寸、功率、漏电流、性能与成本
- 可进行设计架构、IP与生产工艺选项的快速假设分析，优化设计规格
- 通过结构探索实现芯片尺寸与功耗的降低
- 生成完整的IC经济分析与预算报价
- 为工程、管理和销售与营销市场部门提供快速、精确和易用的环境
- 通过内置的基于内网IP目录管理系统加快与推进IP复用
- 支持内部或定制IP与生产工艺的评估
- 为顶尖晶圆厂生产工艺提供特定评估规格
- 可进行无代码功耗评估、低功耗规划与CPF定义和探索
- 评估在特定生产工艺用特定IP组件可实现的性能极致
- 提供可调整的评估模型使评估最精确
- 持全面定制的IC经济模型，包括关键变量与方程式
- 可编程的API，提供定制技术与经济分析
- 与企业IP、PLM和CAD环境结合
- 直接与下游设计和实现工具对接帮助晶片整合

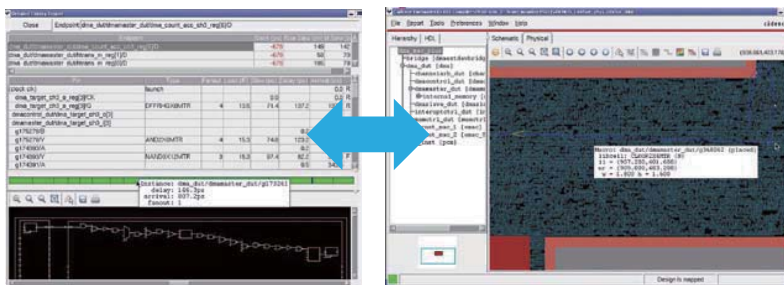
Encounter RTL Compiler

同时支持时序、面积和功耗优化目标的全局合成

Encounter RTL Compiler允许工程师在采用并发优化技术时概览整个设计，例如在时序、面积和功耗目标之间进行权衡，以便将其融合在可实现的芯片中。

概述

为了最大限度提高性能、减小芯片面积、降低功耗，并不对进度表产生影响，设计者需要具备全局综合解决方案，支持同时优化时序、面积和功耗目标。Encounter® RTL Compiler是Cadence Logic Design和用于芯片实现的Verification Solution的关键组件，提供经产品验证的全局综合，可快速综合时序更快、面积更小和功耗更低的芯片的要求。Encounter RTL Compiler具有荣获专利的、关注于全局的独特算法集，并结合了基于物理信息的RTL级别优化和分析，在缩短设计时间的同时可确保最高的芯片质量。



特性/优势

- 经过良好平衡的逻辑结构隔离了关键路径，并降低了功耗、面积和非关键逻辑中的拥塞
- 通过经物理优化的布局和布线，支持更快的时序收敛
- 基于物理布局评估时序，不采用线负载模型
- 与First Encounter® Silicon Virtual Prototyping集成，为逻辑优化和分析提供真实的物理时序
- 通过多阈值优化、多阶时钟门控、多电压设计、电源关断技术以及状态保留电源关断等技术优化降低功耗
- 通过多对象优化减小裸片尺寸
- 通过多模式综合优化和分析加快设计收敛
- 通过支持芯片级综合并避免手动分层次、时序预估和重组设计提高生产率
- 使用标准输入和输出以简化采用

Encounter RTL Compiler with Physical

物理综合更快地满足性能、功耗和面积综合目标

Encounter RTL Compiler with Physical综合器内嵌了物理设计引擎，以便逻辑综合器切实的考虑到物理信息。

概述

逻辑设计者不会再忽略物理互联，因为它对当今芯片的性能、功耗、成本和上市时间具有显著影响。Encounter® RTL Compiler with Physical使逻辑设计者实现物理互联，而无需了解物理设计方式。

它自动在经生产验证的Encounter RTL Compiler综合环境中嵌入了Encounter Digital Implementation System布局引擎。这种组合可在RTL层次考虑物理信息，以便更加精确地关注于全局综合算法，并确保物理设计中能够满足合成目标，最终实现可以制造的芯片。

Encounter Conformal Constraint Designer

从RTL到布局自动验证和完善时序约束

Encounter Conformal Constraint Designer(CCD)确保时序约束在整个设计流程中均有效。它可以在早期发现时钟域交叉问题，帮助设计者根据设计目标实现收敛。

概述

对设计实现所需的约束进行验证和修改一直以来是个手动的过程，也是容易出错的流程，从而加大了出现不良芯片的风险。验证时钟域交叉(CDCs)通常要求对时钟的传播和属性掌握透彻。随着设计中IP模块的数量增多，每个IP都具有其自己的时序约束和时钟设置，未经验证的SoC最后导致的芯片故障风险也不断加大。

Encounter® CCD为约束和CDCs的开发和管理提供了最完整和高效的途径，可确保从RTL到流片具备正确的功能。通过快速、精确地发现真正的设计问题、交付更高质量的时序约束、并找到与时钟域同步器有关的问题，从而帮助设计者减少总体设计周期时间，并提高复杂SoC设计中的芯片质量。

特性/优势

- Encounter RTL Compiler XL完整的全局综合功能
- Embedded EDI System布局技术自动执行现实的物理布局
- 在逻辑架构和映射期间提供更多物理信息，更快、更加可预测的针对性能、功耗和面积目标完成物理设计
- 内置布线拥塞预防、分析和修复特性
- 合成GUI中集成物理查看器，支持当时序路径在芯片中物理显示时查看
- 物理分层次设计功能支持综合针对物理设计团队常常遇到的长线问题进行优化
- 能够产生合理的布局，使得物理设计团队，与逻辑设计团队可同时基于相同的布局进行设计，从而加快设计收敛

特性/优势

- 确保时序约束正确且完整
- 通过全面的分析环境缩短设计周期，在该环境中可以检查模块级和顶层约束的创建和集成
- 验证CDCs是否具备正确的同步器，可通过FIFO管理器轻松查看
- 通过正式的约束验证降低返工风险
- 通过在出现功能故障时快速验证故障时序路径加快时序收敛
- 通过SDC Advisor轻松创建初始约束

Encounter Conformal ECO Designer

针对掩模前后ECO网表提供更好的自动化、可预测性和设计综合

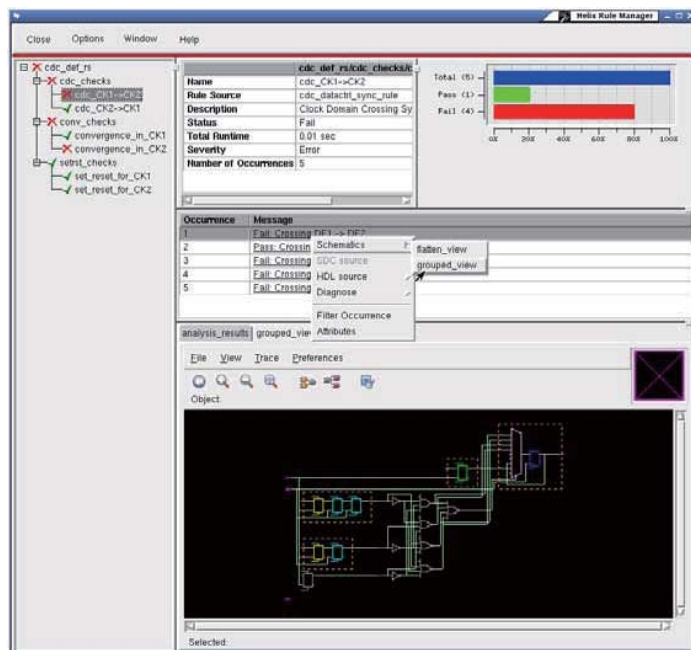
Encounter Conformal ECO Designer结合了自动ECO分析、ECO逻辑优化和设计网表修改，具有业界最值得信赖的逻辑等效性检查解决方案。

概述

工程设计更改(ECO)为设计者带来巨大压力，它需要长工作时间，并具有不确定性。即便逻辑更改在网表中实现，也可能因为物理实现时没有足够的冗余门而无法实现更改。Encounter® Conformal® ECO Designer是一个独特的技术，结合了逻辑等效性检查(面向最复杂的SoC和数据路径密集型设计)、正常ECO分析、ECO逻辑优化和设计网表修改。通过这种包括整个RTL至GDSII流程的完整且自动化的ECO解决方案，设计团队可以受益于最高的ECO质量，并且更加可预测地实现设计收敛。

特性/优势

- 通过最小化手动干预并消除耗时的设计迭代从而加快周转时间
- 基于设计目标输入生成早期的ECO可行性预计，防止进度表拖延
- 通过在后端物理实现中支持更早的设计网表签收缩短设计周期
- 通过灵活的限制金属层ECO操作，从而降低制造成本
- 通过比传统门级模拟速度快很多的百万门设计验证方法缩短验证时间
- 通过独立验证技术降低忽略重要缺陷的风险



Encounter Conformal Equivalence Checker

从RTL到布局实现快速、精确的缺陷检测和纠正

无需使用测试向量，在设计周期早期验证和调试百万门的设计。

Encounter Conformal Equivalence Checker通过减少在复杂数据路径、数字定制逻辑、定制内存和FPGA中忽略重要缺陷的风险提高设计收敛。

概述

Encounter® Conformal® Equivalence Checker已通过数千次流片的检验，是业界支持最广泛的等价性检查器。它比传统的门级模拟方法速度更快，可验证多种电路，包括复杂的算法逻辑、定制内存和定制数字逻辑。

Encounter Conformal Low Power

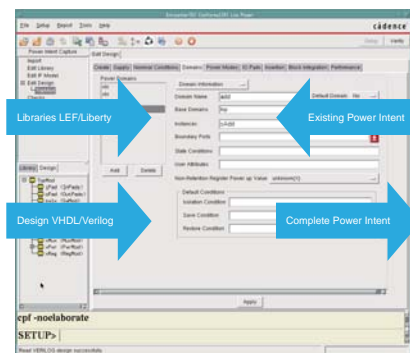
快速、精确地创建、验证和集成功耗规范

Encounter Conformal Low Power支持在设计环境中创建和验证功耗规范。它结合了低功耗等价检查和结构化、功能性检查，可支持高效设计的全芯片验证。

概述

优化漏电和动态功耗的设计，能帮助设计者降低能耗和封装成本，但是这些高级低功耗设计方法还会使验证风险复杂化，在综合和物理实现过程中带来风险。对于验证目前的大型、复杂的设计来说，全芯片门级模拟并不是一种切实

可行或可扩展的方法。Encounter® Conformal® Low Power使设计者能够创建功耗规范，然后面向低功耗优化百万门设计的验证和调试，无需模拟测试向量。它将低功耗结构和功能检查与等价性检查相结合，提供了卓越的性能、容量和易用性。



特性/优势

- 使用提取技术多次详细验证百万门ASIC和FPGA，比传统门级模拟方法速度更快
- 通过独立验证技术降低忽略重要缺陷的风险
- 在整个设计流程中支持更快、更精确的调试和更正，推动设计收敛和验证目标
- 确定设计中故障点的位置，提供丰富的诊断工具集以帮助用户解决问题
- 将等价检查功能扩展至复杂的数据路径，支持使用多线程加快验证运行，并填补RTL至布局验证的空白 (XL配置)
- 通过使用高级晶体管提取技术和等价检查 (GXL配置)，确保RTL模型执行与在芯片中实现的对应晶体管电路的相同功能

特性/优势

- 通过提供完整的验证覆盖范围降低芯片重新设计的风险
- 在设计周期早期检测低功耗实现错误
- 比传统门级模拟更快地验证百万门设计
- 使用低功耗等价检查填补RTL至布局验证空白
- 通过独立验证技术降低忽略重要缺陷的风险
- 支持功耗规范的创建和集成，设计者无需成为功耗格式专家

Encounter DFT Architect

全芯片的考虑功耗的测试架构开发

Encounter DFT Architect可基于逻辑综合，采用统一的方法面向全芯片并考虑功耗产生测试电路，从而确保高质量、减少迭代并降低开发成本。

概述

创建完整的制造测试方法通常需要以后期网表的方式使用独立的软件产品—这是一个枯燥且容易出错的流程，会导致更低质量的网表、测试覆盖率不足、额外的后期合成迭代和更高的测试和生产成本。

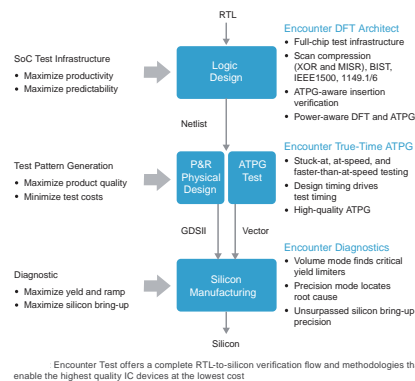
Cadence® Encounter® DFT Architect是业界首款全芯片、基于合成的功耗感知型测试架构设计技术。它支持完整和部分扫描，JTAG (1149.1/6)插入和验证，I/O测试，以及灵活、可扩展、低引脚数和由低到高的层级压缩架构，可支持多站点晶圆测试。Encounter DFT Architect还支持BIST解决方案，优化了合成前和合成后测试覆盖范围，并自动化产品中时钟生成(OPCG)，以及面向静态和基于过渡的测试方案(ATPG)的脚本生成。

利用DFT Architect，设计团队可以创建一个高质量测试基础架构，面向层级或平面深亚微米设计。它支持一个面向测试型设计基础架构的统一特定插入验证方法，包括低功耗和多电源多电压设计。DFT Architect能够使易用性和测试质量最大化，同时缩短开发时间并降低测试成本，其多种高级特性目前已经在Encounter RTL Compiler全局合成中实现。该集成允许用户根据规范创建、插入、层级连接和验证测试结构，包括使用通用功耗格式(CPF)的最严格的低功耗规范。另外，该集成还提供用于高效RTL和门级调试的高级GUI，以及具有RTL可追溯性返回的自动修复功能。

DFT Architect提供基本和高级两种配置。

特性/优势

- 加快高质量测试基础架构的开发和实现
- 支持通过单一规范实现当前逻辑、以及基础架构插入和验证测试
- 自动消除因为手动拼接和集成导致的错误
- 通过ATPG链路在早期执行可测试性分析，可测试性优化功能可带来更高的测试覆盖率
- 通过将测试决策移动至前段流程提高可预测性
- 支持由低到高的层级和平面设计流程
- 符合针对强大的测试访问功能的IEEE 1149.1和1149.6规范
- 通过一次性逻辑和DFT合成降低开发成本
- 通过灵活的压缩架构和一次性诊断方法降低开发成本
- 支持低功耗设计技术，以实现功耗感知测试和功耗感知ATPG



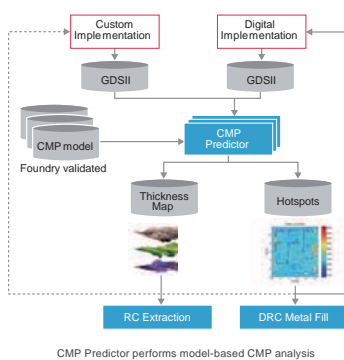
Digital Implementation 数字实现

Encounter Digital Implementation System

在高级、主流工艺节点上物理实现千兆门/GHz、低功耗和混合信号设计

概述

Encounter Digital Implementation (EDI) System集成环境为芯片的硅实现提供最快的解决方案。它可以依据并保持设计意图，支持高级抽取，并确保快速设计收敛，它优化了千兆门、低功耗、混合信号和高级节点设计的实现。在单一环境中，EDI System支持RTL综合、快速设计探索、精确的芯片可行性分析、全芯片虚拟原型设计、全芯片数字实现和设计中签收。通过在早期获得精确的设计可行性视图，工程师可以在该环境中实现面向大型可扩展和复杂设计的全扩展实现和最终签收。



特性/优势

可预测性和收敛性

- 在单一环境中结合了RTL合成、早期设计探查、全芯片原型机设计和设计实现、设计中DFM和最终签收分析
- 支持设计探查和精确的芯片可行性分析，包括自动布局评级
- 支持基于位置的片上工艺变迁分析技术，以及面向统计时序、漏电分析和优化的最新方法

提高生产率并加快上市时间

- 支持层级方法，包括自下而上的基于模块的流程，以及自上而下的黑盒子 black-box流程，以及分层次和时间预算特性的混合流程
- 提供新型的装配后设计收敛流程，在顶层设计和优化过程中支持更透明的层级提取
- 通过利用面向SI和时序分析的新型单步骤高级引擎，可以在展平物理实现中执行快速、精确的同步时序和SI优化和分析
- 提供由设计签收驱动的直观的全局时序、功耗和时钟调试与诊断

性能可扩展性

- 面向大型、复杂芯片的业界领先性能和可扩展性
- 提供完整、端到端、多核并行处理技术

具有更低成本的产品差异性优势

- 提供经流片验证的解决方案，面向复杂设计收敛和低功耗、混合信号、高级节点设计实现和优化
- 在设计流程的所有步骤中均支持全面的多模式/多角度分析和优化
- 支持带有集成功能的并发芯片/封装设计和优化，例如自动面积和外围I/O布局和优化，以及倒装芯片RDL布线
- 允许3D堆叠裸片设计的布局规划、实现和分析，以便优化异构流程/裸片
- 通过设计中3D-IC签收提取和多裸片时序、功耗和散热特性分析确保更少的迭代和更快的设计收敛

Encounter Power System

通过统一时序和功耗数据库加快功耗优化和签收

Encounter Power System (EPS) 在设计和实现流程中提供一致的功耗和电源完整性分析。它为前端逻辑设计者提供早期的、高质量功耗分析，并为后端物理设计者提供与芯片物理特性一致的设计签收。

*Encounter Power System是下一代VoltageStorm Power Verification

概述

EPS为设计者提供了完整、精确的分布式片上功耗、电压降落、电源网络电迁移和热分析视图。它为最复杂、最先进的节点设计提供了极高的生产率、精确度和性能。它可以在整个设计和实现流程中使用，从布局规划、功耗规划、设计优化到签收，为每一个步骤提供一致、收敛的结果。

EPS及其自带的、经生产验证的VoltageStorm® 签收引擎在十多年前便已经开始使用，在功耗分析和设计中功耗优化领域拥有数千次成功的流片。

EPS与Encounter Timing System和Encounter Digital Implementation System紧密集成，共享一个通用的数据库基础架构、布局查看器、核心分析引擎和界面。该集成支持早期电源网络分析、功耗网络优化和功耗分析等多种高级特性，由签收过程中使用的相同核心引擎驱动。

对于低功耗设计方法，EPS还支持去耦合电容优化和电源开关优化。它利用功耗爬坡分析，可以使通电时产生的浪涌电流最小化，并实现高效的上电时间。对于芯片/封装协同设计，EPS还创建了一个裸片模型，可用于针对精确的片上分析优化封装设计并接受封装加载信息。



特性/优势

- 包括静态、动态、由向量驱动和无向量在内的全面分析
- 支持完整的通用功耗格式(CPF)
- 在优化和签收过程的布局规划中保持一致的集成功耗和IR压降分析
- 具有完整RTL和门级VCD与SAIF支持的早期功耗估计
- VCD分析可轻松识别最敏感的功耗向量
- 高效的多模式分析，面向具有多个操作模式的设计
- 支持多CPU，具有线程式和分布式处理
- 与Encounter Timing System集成，可访问时序数据库
- 电压降落诱导延迟变量的精确功耗分析和研究
- 全面的时钟抖动解决方案
- 与Encounter Digital Implementation System集成，简化分析执行和ECO修复过程中的使用
- 全面的层级式全芯片分析，使用模拟、混合信号、定制数字或全数字模块电路布线视图，面向真正的全芯片电压降落分析
- 通过Cadence Allegro® Package Designer的封装和裸片模型交换支持芯片/封装协同设计支持
- 通过完全由GUI驱动的流程、交互式Tcl命令界面、全局功耗调试、集成波形和物理查看器提高生产率
- 全芯片散热分析
- 支持由标准的LVS规则文件和SPICE子电路，EPS是VoltageStorm 新一代功耗验证产品

Encounter Timing System

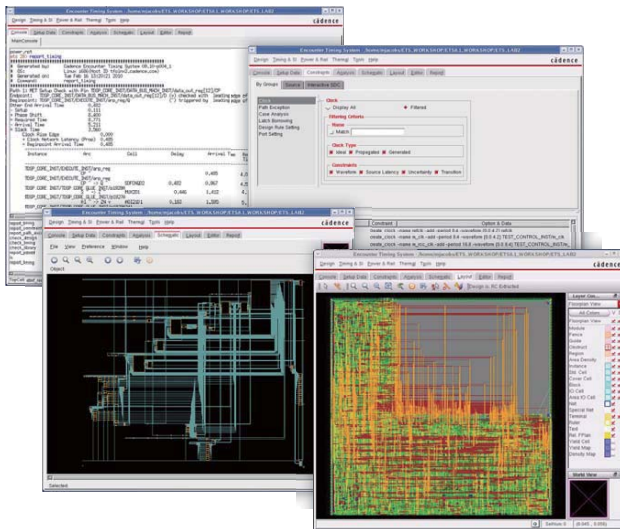
通过单时序视图加快设计收敛和签收

Encounter Timing System采用前后端统一的时序引擎加快时序收敛，前端设计者可用以高质量的静态时序分析，后端设计者亦可用以进行精准的电气分析。

概述

通过Encounter® Timing System (ETS)，设计者可受益于一个一致、集成、支持多CPU的静态时序分析(STA)环境，面向布局和布线优化以及签收验证，可加快设计收敛并实现更好的流程融合。

为了提高生产率，ETS帮助设计者快速分析和调试百万门设计，同时确保与设计意图保持一致。只需按下一个按钮，全局时序调试功能便可以识别时序和约束问题的根源。复杂的延迟计算确保精确度和性能。ETS可使用有效电流源模型 (ECSM) 进行高级时序分析、功耗分析、信号完整性(SI)分析以及统计延迟建模，为实际芯片性能提供最精确的预测。与传统的延迟建模相比，设计者可以在流片进度表中减去几周的时间。



特性/优势

- 通过统一数据库架构与Encounter Digital Implementation System和Encounter Power System紧密集成
- 交付一致的STA、SI和统计静态时序分析 (SSTA)视图，以便优化布局和布线、验证签收、并实现更快的时序收敛
- 通过集成时序、SI、功耗、散热和SSTA分析避免了对多种产品的需求
- 全局时序调试方法加快根源问题和瓶颈问题的分析
- 精确且高级的分析算法将无效SI故障降低10倍
- 利用多CPU和分布式服务器的并行处理加快吞吐量
- 执行具有分布式处理的并发多模式/多角度分析
- 通过ECSM支持高级节点设计
- 提供SPICE的2%以内的精确延迟计算
- 内置关键路径SPICE模拟用于调试延迟/SI一致性问题
- 可作为独立解决方案或Encounter Digital Implementation System的一部分

Clock Concurrent Optimization

时钟同步优化技术，又称为Copt技术，它可以为设计师提供卓越的功能，应对越来越严峻的性能、功耗与面积挑战。

概述

Copt技术经历了高速发展，设计师广泛将其应用于高速内置处理器与复杂SoC。该技术独一无二地集成并融合了流程中的核心步骤，包括时序驱动式布局、有效偏移时钟树综合、增量式物理优化、物理时钟门控与后时钟树优化。

Copt技术尤其善于为以下领域提供至关重要的高速处理器设计的高芯片质量：

- 功耗(时钟树功耗降低达30%，芯片总功耗改进行程度达10%)
- 性能(对于GHz的设计而言时钟树频率可提升100MHz之多)
- 面积(时钟树面积减少达30%)

特性/优势

- 同时进行物理优化和时钟树优化，整合了时序驱动布局、有用偏移时钟树综合，增量式物理优化，物理时钟门控和后时钟树优化
- 加速了时序收敛和功耗收敛，减少了手工参与的次数
- 自动考虑到片上误差(OCV)，多模式多角度，时钟门控和时钟选择
- 包括了所有传统上有效偏移时钟的优点，而又没有带来缺点
- 考虑整个设计的全面的时序借用，而不是单独的相邻路径间的时序借用
- 基于真实时钟延迟的偏移优化，而不是基于理想时钟的偏移优化

其他相关产品简介：

Cadence InCyte Chip Estimator

实现对IC尺寸、功耗、漏电流、性能与成本的精确评估。它提供了一个结构探索环境，用户可以从量化并对比数量繁多的芯片备选实现方案，实现技术与经济目标的平衡。

Cadence Low-Power Methodology Kit

合理采用并优化低功耗技术。通过一个完整的从前端到后端的通用约束技术、最佳实践、表核对和参考流程，来剔除风险。

Encounter True-Time ATPG

为小延时缺陷，自动生成功耗敏感型与时序敏感型测试向量通过具有专利权的向量故障分析技术，提供基于故障的建模能力和门级全覆盖的基础。从而降低测试成本，提高硅片质量。

Cadence QRC Extraction

快速并且准确地提供并分析全芯片的寄生参数。加速时序收敛并实现高质量的芯片。

Encounter Library Characterizer

自动生成最新建模模式的库，加速特征化和重新特定化的过程。

First Encounter Design Exploration and Prototyping

支持快速的全芯片虚拟原型，从而在设计周期的开始就能准确获得下游物理或者电学影响，同时对于大规模高速的设计，能够简单快速地进行层次化设计实现。

NanoRoute Advanced Digital Router

支持对时序、面积、功耗、信号完整性和可制造性约束的布线收敛，同时在速度和容量上全力支持Giga-gate/GHz和先进工艺节点设计。

SoC Encounter RTL-to-GDSII System

整合了RTL综合、芯片虚拟原型、自动布局综合、时钟树综合、可制造性设计与良率设计、低功耗和混合信号设计、还有纳米级布线。使得工程师可以在设计周期的开始就可以综合出一个平展式的虚拟原型实现。

Virtuoso前端/电路设计仿真

Virtuoso Analog Design Environment

定制IC的最高级仿真

Virtuoso Analog Design Environment (ADE) 为快速而精确度验证提供了高级设计仿真

概述

Cadence® Virtuoso® ADE是Virtuoso平台中的高级设计仿真环境，其主要目的是帮助用户设计稳定可靠的芯片。通过Virtuoso ADE，用户可以：在设计中加入寄生预估并进行仿真、对比；利用优化算法，更好地提高良率；进行高级匹配和敏感度分析。Virtuoso ADE可依据设计规格，在多个设计方案中寻找最优，建立了高速和精确设计的标准。

Virtuoso Accelerated Parallel Simulator Virtuoso (APS)

针对复杂的模拟、RF、混合信号模块和具有成千上万个元件的子系统，以全Spectre精度实现可扩展性能和容量。

概述

Virtuoso APS是Virtuoso Multi-Mode Simulation (Virtuoso多模式仿真)工具的一部分，针对需要更快收敛的设计，可执行高级SPICE精度仿真，同时支持可扩展性能和容量。它与Virtuoso定制设计平台紧密集成，允许设计者在相同环境中接收和传递设计意图，并提供了Virtuoso Spectre仿真器的所有晶体管级分析功能。

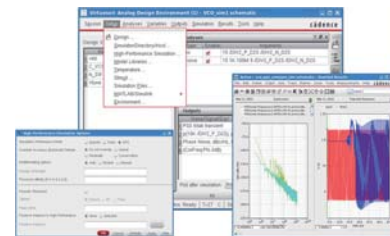
Virtuoso APS独有的全矩阵求解技术利用先进的多CPU计算平台，可带来无以伦比的可扩展性和多线程功能。这些特性保证了高速可靠的仿真，而不会对结果的精确性产生任何影响。

特性/优势

- 通过一个不受仿真器影响的环境缩短学习时间
- 在由脚本驱动的模式中实现效率最大化
- 使用多种内置仿真工具加快调试过程
- 通过预寄生与后寄生提取设计的简单对比提高设计准确性
- 通过清晰的可视化界面快速检测电路故障

特性/优势

- 在全SPICE精确度和收敛度条件下，提供10至100倍单核速度 (10倍Spectre单核速度)
- 对规模较大、具有高无源/有源器件比的版图后抽取电路，可进行高精度的仿真
- 多核技术扩增了仿真速度，允许更大规模电路的仿真
- 使用经代工厂认证的器件模型 (同Virtuoso MMSIM的其他仿真引擎)，以确保模拟设计的芯片精确度



RF Design Methodology Kit

全面的混合信号技术、教程和最佳实践

针对RF和混合信号SiP设计，Cadence RF SiP Methodology Kit提供了完整的SiP开发平台和经过验证的最新方法。

概述

Cadence® RF SiP Methodology Kit锦囊包含采用和实现面向混合信号SiP的高级封装设计技术所需的所有特性。

Cadence SiP RF Architect提供全特性集成设计流程和模拟环境。Cadence SiP RF Layout可实现基板布局布线、裸片堆叠创建和封装级集成和优化。Cadence SiP Digital SI可实现强大的仿真、提取和编辑功能。另外，锦囊中有各应用领域完整的代表性设计、一个包含可借鉴组件和仿真方法的库，以及关于如何使用Cadence解决方案的完整教程。

锦囊内容

- 为RF/模拟设计提供统一的电路图和仿真环境
- 在IC和基板级别，直接为I/O协同设计导入IC器件封装
- 在系统级执行高效的裸片堆叠装配、DRC和SI分析
- 集成数字SI分析和互联提取
- 允许裸片至裸片的交互式编辑和基板互联
- 提供一个包含组件、模型和仿真/验证计划的库
- 演示从无源器件到完整封装的代表性设计

Virtuoso AMS Designer

SoC的灵活混合信号仿真

Virtuoso AMS Designer仿真器连接高级模拟与数字环境实现完美的混合信号仿真与验证。

概述

Cadence® Virtuoso® AMS Designer是一种混合信号仿真解决方案，面向模拟、射频、存储器和混合信号SoC的设计与验证。它综合了Virtuoso面向混合信号设计与验证的全定制环境。它还综合了面向数字验证环境中混合信号验证的Cadence Incisive®功能验证平台。

锦囊的优势

- 与Encounter®数字和Virtuoso® RF/模拟的设计技术相集成
- 提供从Virtuoso ADE到封装级SiP设计的完整流程
- 通过全面的使用教程指导新用户
- 执行虚拟原型、互联探索、分析和建模
- 实现基板的布局布线、优化、验证和流片
- 管理电感综合和无源器件建模
- 为高于GHz频率的数字电路提供快速高容量的仿真
- 支持拓扑编辑和方案空间求解
- 提供结构化约束管理
- 针对完整的协同设计实现，提供双向ECO和LVS流程
- 执行系统级功能、性能和闭环验证

特性/优势

- 用可靠的Virtuoso模拟与Incisive数字仿真技术确保设计质量
- 支持Virtuoso模拟设计环境中的模拟设计流程使用模型，以及Incisive环境中的数字验证使用模型
- 支持自上而下的方法学，在设计周期中及早侦测设计故障，确保设计及时达到可出带状态
- 通过混合信号硬件描述语言支持加快模拟将射频收发器的包络分析与数字基带仿真结合，加快射频电路以全SPICE精确度的仿真
- 执行系统级功能、性能和闭环验证

Virtuoso版图和验证

Virtuoso Layout Suite

快速版图实现

Virtuoso Layout Suite自动进行模块创建，让硅精确定制设计尽快上市。

概述

Cadence Virtuoso Layout Suite (VLS) 是Cadence® Virtuoso®平台的高端定制版图的创建工具，在器件、单元和模块级支持全定制数字、混合信号和模拟电路的设计。其高级功能包括自动加速定制模块创建，以及业界领先的Cadence空间式布线技术，在交互与自动化布线过程中自动执行65/45纳米工艺与设计规则。与Virtuoso平台的其他组件配合使用，VLS快速而硅精确度独特定制芯片。

特性/优势

- 在器件、单元和模块级别加快定制数字、混合信号和模拟设计的版图布局
- 支持约束和原理图驱动的物理实现
- 本地的Cadence空间式布线技术在单个公共的舱体内提供对称与差异化布线
- 在用户提交原理图或布局，或者执行之前可能需要Pcell评估的任何活动时，快速Pcell功能可以将性能提高10倍
- 提供高级节点工艺与设计规则的约束驱动执行

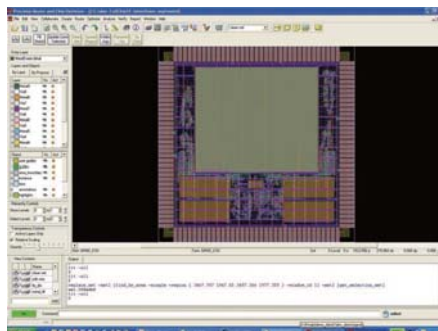
Cadence Space-Based Router

针对复杂定制IC的高容量平面和层级布线

通过同时解决多良品率和可制造性挑战，Cadence Space-Based Router实现更短的收敛时间和更高的芯片质量。

概述

不断增长的设计复杂性和越来越多的数字和模拟/混合信号相结合的芯片使设计者面临严峻的良品率和可制造性挑战，如光刻问题、制造规则不一致、铜材料、电气问题和性能要求。Cadence® Space-Based Router同时解决了所有这些问题，帮助设计者实现更短的收敛时间、更高的芯片质量，并面向消费电子和无线市场推出与众不同的产品。



特性/优势

- 可轻松处理250K网线的打平和层次化高容量设计
- 高速的多线程技术可加快最大型设计的完成
- 在65纳米以下的互连实现中，创新的层级、3-D、基于空间的架构支持精确建模、操作、检查复杂几何图形和约束
- 签收质量的预先设计规则互连检查系统支持边构建边纠正的版图设计

Virtuoso Chip Assembly Router

生产率和设计质量

Virtuoso Chip Assembly Router在设计的任意层级都可以实现定制IC的全自动布线

概述

Cadence® Virtuoso® Chip Assembly Router是Virtuoso平台的定制模块和芯片创建布线工具。它是由约束和设计规则驱动的交互式、完全自动化的基于形状的布线器，在定制数字、混合信号和模拟设计的任意层级：晶体管、单元、模块、芯片和高级芯片互联，支持模块创建和芯片创建的解决方案。

特性/优势

- 在交互式自动布线过程中利用规格要求已经复杂的约束和工艺规则，可以提高效率和设计质量
- 使用多种高级功能简化布线流程，如交互式推送、多线/总线技术、电源、屏蔽、差分对、长度和串扰
- 观且易用的界面，具有菜单、命令和'do'文件使用选项

Virtuoso Digital Implementation

在混合信号设计中实现数字模块的自动化

Virtuoso Digital Implementation针对混合信号设计中的小型数字组件自动执行综合、布局布线、以及时序闭合，加快数字模块实现的同时确保最高的芯片质量。

概述

Virtuoso® Digital Implementation是完整的综合、布局布线系统。它支持在由模拟为主的设计环境中实现小型数字模块。根据统一的设计意图，Virtuoso Digital Implementation自动完成综合并优化布局布线，从而加快混合信号设计流程并确保最高的芯片质量。

作为Virtuoso Layout Suite的补充，Virtuoso Digital Implementation可实现有限容量的RTL到GDSII完整数字实现流程。它与Encounter® RTL Compiler和Encounter Digital Implementation System集成，针对更小、更快和功耗更低的芯片，可支持高性能综合等诸多功能，是用于数字模块实现、可集成的、极为快速的引擎。

*Virtuoso Digital Implementation支持有限容量RTL-to-GDSII的解决方案。Encounter RTL Compiler限制为50k (最终映射)隶化单元或200k通用例化单元。Encounter Digital Implementation System限制为50k隶化单元。可通过合集两个Virtuoso Digital Implementation的license扩展至两倍容量。

特性/优势

- 自动实现小型数字模块，包括综合和物理实现
- 在统一设计意图和主旨下，与Virtuoso平台集成，实现完整的解决方案
- 支持 First Encounter® 硅虚拟原型
- 确保数字逻辑芯片实现最佳质量（速度、面积和功耗）
- 支持混合信号模块的全时序建模，使用内置物理优化，实现快速时序收敛
- 在签收质量延迟计数器的通用时序引擎下，支持由时序驱动的实现
- 显著缩短设计完成时间

设计签收

Cadence Physical Verification System

面向纳米设计的高性能DRC/LVS

对高节点工艺下的SoC设计，Cadence Physical Verification System(PVS)在单处理器和分布式处理器下均提供富有竞争力的性能。

概述

Cadence® PVS是Cadence推出的SoC级最优签收解决方案。与行业标准的数字和定制设计流程结合，PVS使设计者从一个EDA供应商处获取从前端至后端的完整设计和签收流程。另外，PVS为数字和定制设计提供“单工具，单基板”模式，可最大限度地降低开销。

PVS还提供了一个独特的、基于操作的分布式处理功能，无需专门硬件即可极大地提高吞吐率。100%文件兼容性和易用性使其可以完全取代现有的其它物理验证技术。

特性/优势

- 针对实现和后端签收，提供单供应商的解决方案
- 以流片验证的精度提升设计周期
- 兼容业界标准格式，简化工具引入
- 针对定制和数字SoC设计，支持“单工具，单基板”模式
- 与Virtuoso®定制技术和Encounter®数字技术集成，可以加快调试周期
- 提供多机器并行处理能力，最大程度利用硬件资源

Virtuoso DFM

快速芯片收敛

Virtuoso DFM使设计者无需脱离Virtuoso Layout Suite环境，即可精确获取物理和电学变化，以确保定制、混合信号设计、库和IP的可制造性。

概述

Virtuoso DFM可保证设计意图（例如电学约束），通过精确提取确保设计目标的快速实现，所具有的近线性扩展性和自动错误修复特性，可提供高度收敛的结果。这使设计者可以实现一个“由设计更正”的流程，从而能够与多个代工厂合作，以高效和可预见的方式实现先进工艺的芯片。Virtuoso DFM允许设计者针对物理效应的影响识别、分析并自动优化设计的片上参数，例如光刻、掩模板、OPC、刻蚀和RET；以及多种与取决于版图的效应，例如光刻、层叠、CDS效应(context-dependent stress)、张力、近阱效应，和多种意外延展效果，例如浅沟槽隔离和接触点至接触点间距等。另外，作为基于设计流程的工具，Virtuos DFM为设计者提供了精确的、基于模型的流程，可以使制造变化对设计性能的影响降至最低。

特性/优势

- 为定制设计提供基于设计流程的DFM和可预测的DFM结案
- 在GLOBALFOUNDRIES 28nm工艺中经过生产验证，是基于设计流程针对DRC+的“经典”工具
- 非常适合代工厂的全面、基于模型的光刻热点分析
- 业界首个基于设计流程的、由约束驱动的、取决于版图效果的变异检测和优化工具
- 更高的生产效率和更加可预测的流片计划

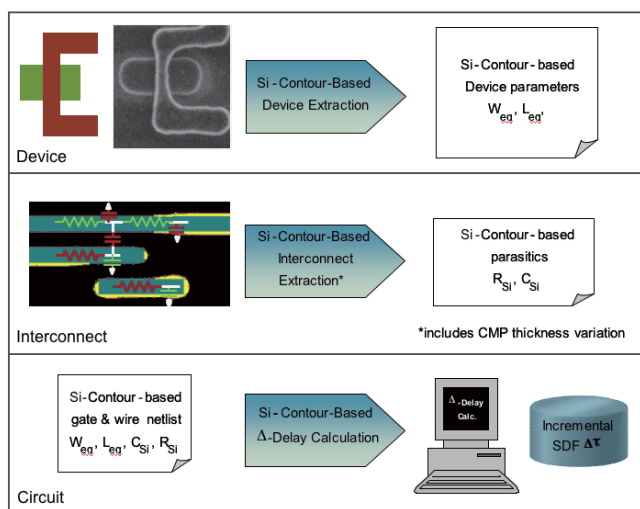
Cadence Litho Electrical Analyzer

电子DFM分析与优化

Cadence Litho Electrical Analyzer(Cadence LEA光刻电子分析器)帮助设计师识别、分析并最小化由工艺变化引起的参数问题，从而提高芯片性能。

概述

Cadence® Litho Electrical Analyzer通过对光学临近效应修正、光刻工艺和化学机械研磨的模拟，提供完整的电学可制造性分析，并能方便集成到现有的物理库，IP，模拟和数字电路设计流程中。它使用代工工厂认证的技术，通过对硅片结果的分析，能准确分析芯片制造过程中工艺的变动对电学特性的影响，并将这些信息反馈给电路的设计者，帮助设计者能在设计阶段优化设计，提高产品良率。



特性/优势

- 能精确提取器件和金属连线的电气特性
- 能识别和修复制造过程中的系统误差所产生的时序和漏电缺陷
- 减少设计冗余并能加速设计的收敛
- 能方便集成到现有的物理库，IP，模拟和数字电路设计流程中
- 允许设计者在不更改设计库的前提下即时优化电路的电学特性
- 能和Cadence Litho Physical Analyzer集成，快速的对整个芯片进行可制造性分析
- 能和Cadence QRC Extraction和Encounter® Timing System集成，作时序分析

Cadence Litho Physical Analyzer

基于模型的设计可制造性检查和轮廓形状预测

基于快速、准确的芯片轮廓预测,Cadence Litho Physical Analyzer (LPA) 光刻物理分析器,能够检测并纠正光刻热点,以提高参数成品率和芯片性能。

概述

Cadence® LPA 基于光学临近效应修正和光刻仿真模型,能快速、精确的对设计版图做光刻可制造性分析。它能识别传统DRC工具不能识别出的物理缺陷,帮助电路设计者在设计的阶段改正这些缺陷,提高产品的良率。

Cadence® LPA为设计师提供了高级DFM热点检测和纠正功能。它基于物理建模技术,在工艺窗口内作快速、精确的芯片轮廓预测,从而能查找光刻热点并进行修复。设计师可以使用这些预测出的芯片轮廓,借助于Cadence Litho Electrical Analyzer作电学DFM分析。

Cadence CMP Predictor

预测并优化互连厚度和芯片拓扑图变异性

通过基于模型的CMP热点检测和CMP感知型RC提取,Cadence CMP Predictor可以提高设计性能和成品率。

概述

Cadence® CMP Predictor将制造工艺变化的不确定性转化为可以预测的影响,然后在设计阶段令这些影响最小化。Cadence® CMP Predictor通过对集成电路制造中铜电化学淀积和铜/介质层化学机械研磨工艺的模拟仿真,能准确得到全芯片、多层金属的厚度和表面地形图。

和传统基于规则的方法相比,CMP Predictor能模拟制造过程中电化学淀积中多层金属效应和化学机械研磨中的长程效应,更准确的识别出对良率有影响的缺陷区域。它可以把金属层厚度和表面地形变化的信息反馈给寄生参数提取工具,这样能得到更准确的RC和时序分析结果。

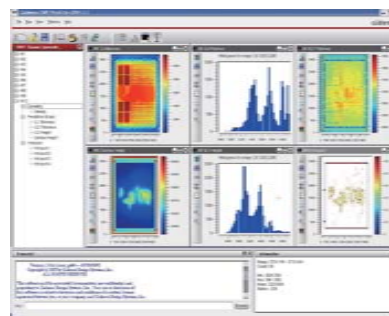
特性/优势

- 能识别出影响良率的缺陷并给出修改指南
- 速度快,能在几小时内能完成整个芯片的检查
- 能方便集成到现有的物理库,IP,模拟和数字电路设计流程中
- 能在整个工艺窗口能快速、精确的模拟硅片上的结果
- 能和 Cadence Litho Electrical Analyzer 集成起来,用于电学DFM分析



特性/优势

- 能精确预测多层金属层的厚度和表面地形图
- 能识别出可能降低良率的缺陷区域
- 通过与Cadence Chip Optimizer集成尽可能地减少或消除热点
- 通过与Cadence QRC Extraction配合,能识别与时序有关的问题(例如竞争条件),并潜在地减少工艺保护带



其他相关产品简介：

Assura Physical Verification

提供设计规模检查和版图、原理图网表一致性验证，从而提高全定制IP的良率。

Cadence Chip Optimizer

使用基于3D空间的方法进行建模、分析并优化版图，使其满足电气约束，制造规则等等。

Virtuoso Multi-Mode Simulation

通过连接业界领先的仿真引擎为贯穿整个设计周期的无缝仿真提供全面的设计和验证。

Virtuoso Power System

使得定制设计团队可以使用定制方法学对全部的设计实现进行有效的功耗和信号完整性分析。

Virtuoso Schematic Editor

为模拟、定制数字、射频以及混合信号设计的从前端到后端流程提供完整的设计和约束组合环境

Virtuoso UltraSim Full-Chip Simulator

为大规模定制模拟、数字、混合信号、射频、存储器以及片上系统电路提供晶体管级验证所需的容量、精度和速度。

Virtuoso Layout Migrate

快速的物理版图移植，可以支持先进工艺节点下的复杂设计规划

Virtuoso Spectre Circuit Simulator

快速和精确的SPICE级仿真器，可以分析最具技术挑战的模拟以及数模混合电路

Cadence MaskCompose Reticle and Wafer Synthesis Suite

自动优化光罩和晶片综合，从而排除某些故障并减少掩膜制作周期。

Encounter Diagnostics

具有目前市场上最准确的容量和精确度诊断能力。加速芯片生产并通过器件和故障模型优化提高良率。

Cadence QuickView Layout and Manufacturing Data Viewer

使工程师可以观察和导入符合多种业界标准的工艺制造数据

PCB设计

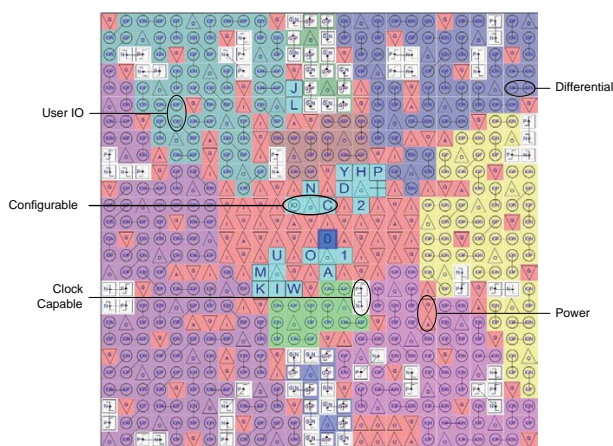
Allegro FPGA System Planner

FPGA规则推动FPGA-PCB协同设计

Cadence® Allegro® FPGA System Planner(FSP)为FPGA-PCB协同设计提供了一个完整的、灵活的技术，让用户能够做出最佳的建设期正确的引脚分配。FPGA引脚分配是根据用户指定、界面连接、FPGA设备引脚规则以及PCB上的FPGA布置自动进行合成。通过自动引脚分配合成，用户可避免易于出错的手动流程，同时缩短建立初步引脚分配的时间，这是PCB上FPGA布置的关键。这种布局感知的独特引脚分配方法消除了与手动法如影随形的不必要物理设计迭代，同时缩短了设计周期时间。

概述

有助于布局感知的引脚分配合成（精确符合FPGA设备规则），Allegro FSP为FPGA-PCB协同设计提供了一套独特的功能。它提供了一个布局图，用于FPGA系统中的元件布置，用户能够通过界面定义指定更高层面上FPGA子系统内元件之间的连接情况。通过布局感知的引脚分配合成，Allegro FSP让用户能够探索其FPGA结构，建立最理想的建设期正确的引脚分配，面向使用FPGA的原型设计或生产。



Color-coded map of the I/Os of a multi-bank FPGA with different types of configurable pins

特性/优势

- 可升级的FPGA-PCB系统协同设计解决方案，从OrCAD Capture到Allegro GXL
- 缩短最优初步引脚分配的时间，加快PCB设计进度
- 加快FPGA与Cadence PCB设计创建环境的集成
- 消除PCB布局过程中不必要的、令人沮丧的设计迭代
- 消除由于FPGA引脚分配错误造成的不必要的物理原型迭代
- 通过布局感知的引脚分配与优化减少PCB层数
- 帮助FPGA系统的界面连接定义
- 帮助FPGA DRC精确的布置敏感性引脚分配合成
- 允许FPGA系统的结构探索
- 使用FPGA加快ASIC成型

Allegro PCB Designer

约束驱动的PCB设计

Allegro PCB Designer能够在约束驱动的设计系统中，迅速地将简单或复杂设计从概念转化为实际生产。这是一个灵活的系统，基于模块的可扩展架构允许设计师能够选择满足技术与方法需要的功能模块来适用配置满足从小到大的公司或项目的需要。

概述

使用强大的功能，如多人并行设计、RF设计功能以及互联设计规划加快从布局到布线的设计过程。对生产有可靠保证，可提高生产力，并帮助工程师迅速实现量产。



Allegro PCB SI

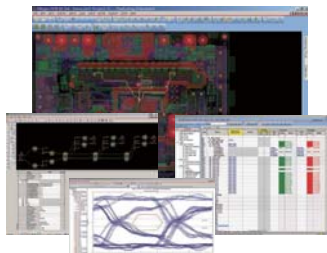
高级信号质量测试

为多千兆比特级设计的电气分析与约束开发提供高级互联建模。在单板或多板仿真高速信号、系统与供电网络。

概述

综合Cadence® Allegro® PCB设计、编辑与布线功能，Allegro PCB SI提供了预布局和布局验证的高级信号完整性 (SI) 分析。因为能在设计周期的初期进行操作，所以可以通过假设的方法进行方案评估，设定更精确的设计约束，并减少设计冗余。

Allegro PCB SI可直接读取和写入Allegro PCB Editor数据库，实现结果的快速精确集成。它提供了一个基于SPICE的仿真器，以及一个内置的场解算器，它还支持用一种强大的建模语言进行行为建模。可以在布局之前进行总线结构的评估，与其他方案进行对比，或者在布局之后对所有相关信号进行全面分析。Allegro PCB 供电网络 (PDN) 分析选项提供了所有供电特性的建模。



特性/优势

- 提供了灵活、功能完备的PCB设计解决方案
- 可用约束驱动的设计流程减少设计迭代
- 提供了单一、一致的、从前端到后端的约束管理环境
- 提供了综合的RF/模拟设计与混合信号设计环境
- 提供了交互式的布局规划与器件布局
- 为大型、分散的开发团队提供了多人并行设计功能
- 提供了实时交互式推挤布线编辑功能
- 通过动态铺铜技术进行实时避让/复原
- 管理网络属线规划、时序、串扰、层集布线与几何约束
- 为随机信号的自动布线提供可靠的PCB 布线技术
- 可进行分层布线规划加速设计的完成
- 用高速设计接口为高密型设计缩短互联规划与布线时间
- 将设计数据输出为多种多样的生产格式

特性/优势

- 进行类型多样的SI分析
- 减少设计错误，提高一次性成功的几率
- 在流程初期迅速设定精确规则约束
- 通过空间解决方案评估提高产品性能
- 在尽可能早的阶段评估备用拓扑方案
- 支持多千兆赫信号的建模与测试
- 从信号拓扑生成S参数
- 生成估算的串扰表以提高设计效率
- 直接从Allegro PCB Editor进行后布局验证
- 可进行设备模型创建、修改与验证
- 检验多电路板与封装电路板信号通道
- 分析配电系统的特征

Allegro Design Authoring

有效的定义和约束管理

Allegro Design Authoring 让系统工程师更加迅速创建设计的目的.它提供了关键的PCB设计定义和约束管理并在设计流程中进行跟踪.

概述

Allegro Design Authoring是一个原理图设计解决方案,其中包括EDIF接口和Verilog仿真模型。

Allegro Design Authoring是一个综合的设计采集系统,支持行为和结构的描述.设计数据库的访问是通过CAE视窗(API)和EDIF 3.0.0原理图和网表接口提供ASCII输入/输出.为常用的TTL, CMOS ECL, 记忆体, GaAs和接口部分提供了一个综合的Verilog仿真模型库。

特性/优势

Allegro Design Authoring原理图特点:

- 多视窗(相同或不同的图纸多窗口显示)
- 组件浏览器和物理元件选择(物理元件表格过滤器)
- 框图编辑
- 自动生成交互视图(genview)
- 工程管理(中心化的流程管理,工具启动和设置)
- 层次结构管理器(配置管理)
- 交叉引用
- 直接从原理图生成层次化的VHDL和Verilog网表
- 通过Cadence的skill编程语言的扩展的语言支持
- 与Allegro PCB进行交互式检查和显示
- 在窗口中显示的层次化视图,原理图结构可以使用图标进行快速导航并重新排列模块
- 全局化搜索/替换属性,网名或元件
- 只读选项,以防止意外的编辑

项目管理器特点:

- 集中的项目管理,维护现有项目
- 通过向导创建一个新的项目
- 调用工具的能力
- 基于HTML的流程提供方便的定制机制

数字元件和实体库的功能:

- TTL, CMOS, ECL, 存储器, PLD, 砷化镓, 接口和VLSI库
- 元件的选择(分类文件)功能

Packager-XL特点:

- 优化算法,保证最少的元件使用
- 处理并反馈布局的变化(引脚分配,位号,属性/约束)
- 能够自动反标注原理图
- 互动并相互依赖的工具,以帮助保持原理图和布局文件的同步
- 生成标准的报告,包括定制的材料清单

Allegro查看器的功能包括:

- 平移,缩放,颜色
- 网络线显示开/关
- 高亮/非高亮
- 在图层上编辑
- 显示元素
- 测量
- 搜索
- 报告
- 印刷及绘图

SiP 系统封装

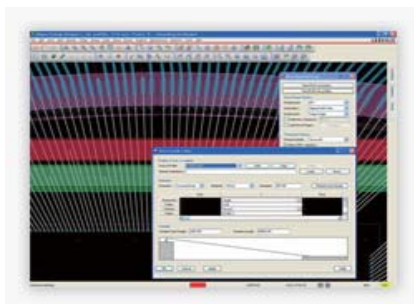
Allegro Package Designer

完整的封装执行功能

Allegro Package Designer在物理协同设计环境中真正集成了IC开发功能，帮助工程师更有把握地及早做出战略权衡。

概述

Cadence® Allegro® Package Designer可用于约束驱动的层次互联设计、提取、建模与信号完整性分析。最终设计输出为PCB设计提供了自动系统级交收。



特性/优势

- 支持将全面的前端到后端物理实现流程用于IC封装设计
- 在IC设计周期初期阶段决定最佳封装与次层选件
- 提供全面的设计规则与电气约束驱动 的布局
- 采用了可制造性设计 (DFM) 方法学
- 内部支持所有业界标准，改进设计流程
- 用Cadence 3D Design Viewer对整个设计进行建模

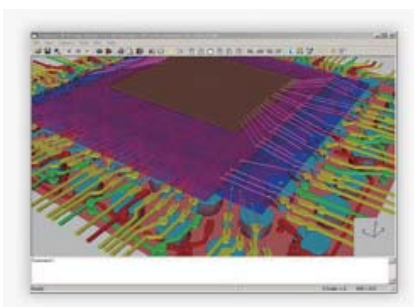
Cadence 3D Design Viewer

固态模型IC封装查看与丝焊DRC

Cadence 3D Design Viewer允许IC封装工程师用物理设计的精确3D模型进行互动操作，并进行全面的丝焊设计规则检查。

概述

Cadence® 3D Design Viewer让用户真实地看到设计被制造出来之后的样子。工程师可以在图片上移动和缩放，从任意角度查看设计细节。对于设计评测，工程师可以进行屏幕截图，使用内置的评注工具加入形状、箭头和文本。3D Design Viewer还提供了交互式3D丝焊设计规则检查。



特性/优势

- 显示设计的3D固态模型互动图像
- 可在截图上标注用于设计评测
- 使用基于XML的规则检查提供3D丝焊DRC
- 允许用户定义、修改与分配新丝焊配置

Cadence SiP Co-Design

优化芯片封装界面

Cadence SiP协同设计技术真正实现了物理协同设计环境中的IC设计集成，帮助工程师更有把握地尽早进行战略权衡。

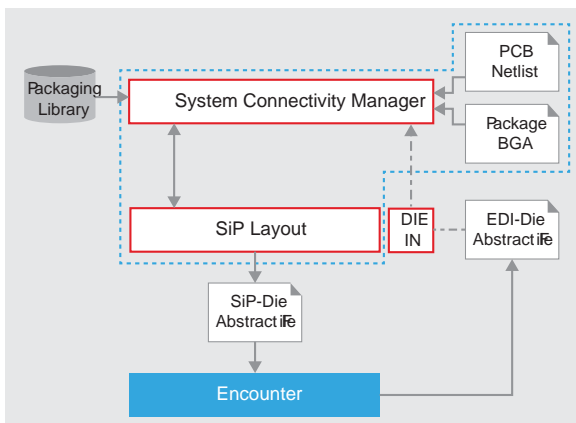
概述

Cadence封装与IC设计环境灵活结合，匹配您的设计风格。不管芯片与封装是同一个人设计的，还是由不同地区、不同公司的成员设计，Cadence有满足您需求的协同设计方法。

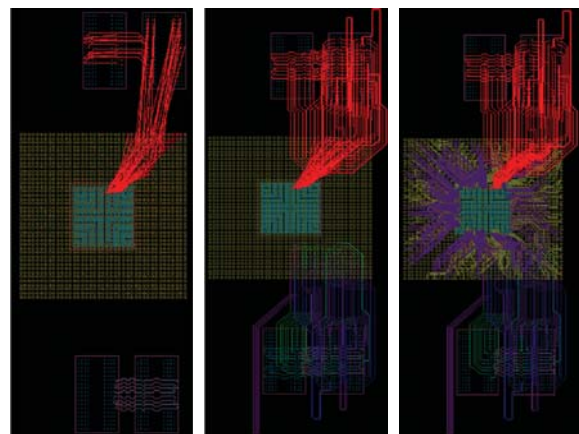
提供了单一桌面解决方案，设计师使用Encounter数字实现系统 (EDIS) 与Cadence SiP Layout，可以实时交换晶片焊垫环信息，允许快速权衡，生成优化的芯片封装界面。对于在不同地区（甚至不同公司）工作的设计团队，晶片提取信息可由EDIS或Virtuoso保存在文件中，并使用Cadence SiP布局发送给设计师用于封装设计。SiP Layout用户需要进行商议，可以发回一个修改过的晶片抽象信息，ECO流程可以接受、部分接受或者驳回IC设计环境中的变更要求。这种“分布式协同设计”方法学让分布于世界各地的设计团队能够有效交流设计变化，同时让设计师继续使用它们的自然设计环境，不管是在Linux还是Windows工作站上。

因为不同的公司有不同的组织方法，Cadence有机会了解很多不同的方法，用于优化芯片封装界面。我们通过很多种应用为您提供了我们的经验，为更典型的流程提供了补充。这些应用包括芯片与封装环境之间的RDL路由交换、基于语言的设计规则检查，以及自动块角矩阵样式生成。

这种由强大支援功能为后盾的灵活流程组合，通过快速成型与削减成本的措施，帮助设计团队提高了他们的效率水平，这是过去使用Cadence协同设计技术无法实现的。目前提供了半日体验版让您马上开始进行协同设计。



Chip, IC package, and PCB design tools are fully integrated to create the Cadence co-design solution



Memory Interface Netlist Board Routing Drives BGA-Pin Assignments BGA Pins Drive Die Bump Assignments

Fixed components on the PCB influence the pin assignments for the package, which in turn drive the bump assignments on the die, which influence the I/O placement for the chip pad ring

Cadence SiP Digital SI

虚拟高速互联仿真

Cadence SiP Digital SI 为源同步和串行接口提供了一个强大的仿真环境. 集成了三维场解算器在早期解决性能问题并允许进行大规模布线调试.

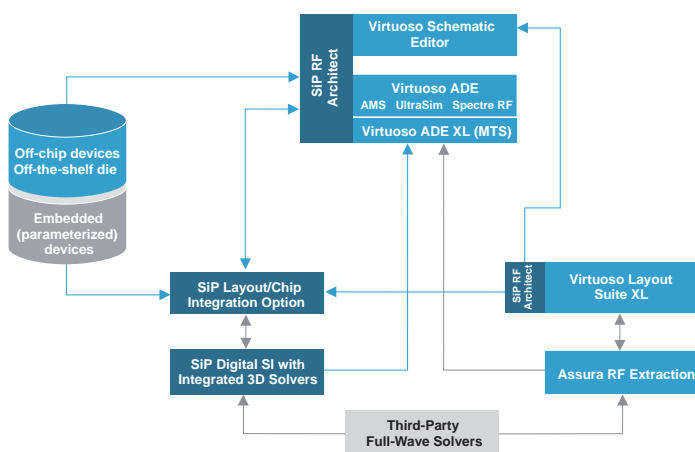
概述

Cadence SiP Digital SI XL是一个紧密集成的信号完整性分析和先进的IC封装设计建模解决方案。它是用来验证有大量的高速信号的设计以及应用在多种gigahertz (MGH) 频率范围内的设计，特别注重于串行接口的设计 (SERDES)。它允许工程师对电气和物理设计的要求做出取舍。可以用来在PCB设计过程中精确的模拟元件在其最终目标系统中的性能。

它与Apache-DA PakSI-E三维场解算器直接集成（必须从Apache获得）用于创建三维封装仿真模型，该模型可以被PCB设计使用，在它最终的目标系统中，用来精确的模拟设备性能。它的电源完整性分析技术，使设计人员能够快速验证封装的电源分布网（PDN）符合目标规格。

特性/优势

- 约束规则管理器
- 图形化互连的拓扑的创建/浏览和抽取
- 时域和频域的互连分析
- 与Apache-DA 准静态三维场解算器直接集成
- 通道分析用来预测BER/抖动
- 交互式基板布线编辑器用于互连的编辑/原型化
- 电源完整性用于验证电源分布网络



Cadence SiP RF/AMS design

Cadence SiP Digital Architect

SiP 概念, 原型, 和设计

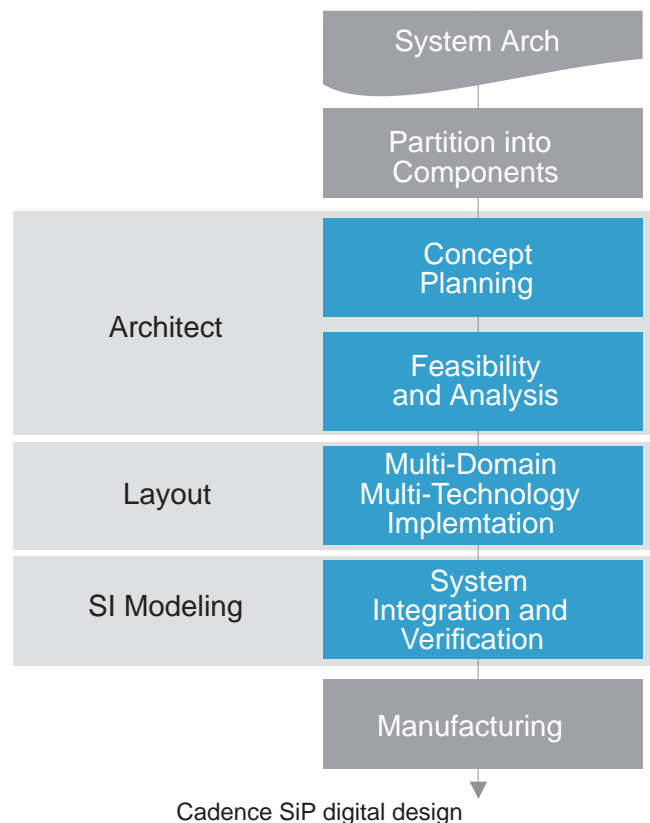
Cadence SiP Digital Architect 通过IC芯片与SiP基板及PCB系统的协同设计方法学, 提供了一个用于早期设计规划, 评估和权衡的环境

概述

SiP Digital Architect XL允许该项目的架构师和设计团队迅速的实现和管理SiP设计的网络连接。其System Connectivity Manager是一种“驾驶舱面板”或“仪表盘”，可以实现Verilog® 网表创建的IC芯片与SiP的引脚符号的快速连接。对于混合信号设计，模拟/混合信号子模块的连接，可以从Virtuoso环境中导入。基于电子表格的界面提供了一个高效的创建，导入，管理，和验证完整的SiP网络连接的方式。

特性/优势

- 系统互连管理器
- 约束规则管理器
- 拓扑浏览器/编辑器



其他相关产品简介：

Allegro System Architect

在传统的HDL设计环境中，针对大规模，复杂的设计，提供一种强大的，加速设计的，表格输入方式的原理图创建工具。

Cadence OrCAD Capture / Capture CIS

快速直观的原理图编辑工具，支持层次化设计和快速改变设计。强大的组件信息系统（CIS），优选模式能够加快设计进度并减少设计成本。

Cadence OrCAD FPGA System Planner

OrCAD FPGA System Planner是FPGA-PCB协同设计工具。能够让用户给一个FPGA自动创建优化后的管脚分配

Cadence OrCAD PCB Designer

一个成熟，简单易用，并含有可扩展性的PCB设计工具。提供了全面的PCB设计所需的环境，把设计从概念变成现实。

Cadence OrCAD Signal Explorer

提供研究，分析和规划网络的拓扑结构的工具。从而提高设计的性能并减少设计的反复。支持在设计任意阶段做前仿或后仿。

Cadence PSpice A/D and Advanced Analysis

快速的模拟混合信号电路仿真工具。能够提高设计的可生产性及性能的一致性。高级分析，支持冒烟分析和蒙特卡洛分析，来确定电路的实效是由什么元件引起。

Allegro Package SI

为使用精确的三维仿真模型的IC封装设计提供了一个虚拟原型设计和仿真环境。可以直接读/写设计数据，为关键设计决策提供快速，准确的模型。

Cadence RF SiP Methodology Kit

通过理论以及制造的实例来学习已被验证的RF SiP设计技术。提供一个完整的RF/无线应用的软件解决方案。加快学习和生产。

Cadence SiP Digital Layout

提供一个完整的约束规则驱动的基板布线和互连的环境。包括三维芯片堆叠的创建/编辑和全面的基板设计制造（DFM）功能。

Cadence SiP RF Architect

为射频/模拟IC和复杂的IC封装基板提供了单一的原理图和仿真解决方案。基于Pcell技术,支持封装的板级无源结构。

Cadence SiP RF Layout

提供一个完整的约束规则驱动的基板布线和三维互连的环境。可以在布线后提取寄生参数，包括板级无源网络结构的提取。

Cadence Virtuoso SiP Architect

可对射频/模拟IC加复杂封装基板提供统一的电路图、仿真方案。支持基于Pcell的封装板级无源结构。支持芯片-封装的协同设计。

Allegro Design Entry CIS

快速直观的原理图编辑工具，支持模块复用，共享优化方式的层次化设计。并自动集成FPGA和PLD。

Allegro Design Entry HDL

集原理图设计，PCB设计及仿真于一体的约束驱动的设计工具。支持各种设计约束，设置网络类型，总线，差分对，扩展网络（Xnet）

Allegro Design Publisher

转换PCB设计及原理图设计成包含丰富设计信息的PDF工具。能够创建一种安全，统一的设计文件。

Allegro Design Workbench

创建协同设计环境的工具。该工具支持库的管理和同步，设计数据的管理以及流程控制。从而能大大提高设计效率，减少设计错误并且减少无用的重复设计。

Allegro PCB Librarian XL

加速创建和验证，原理图元件，PCB封装和元件模型的工具。该工具能够把，原来创建大规模管脚元件的单位时间，从天缩短成小时。